



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 17 MARS 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



THIS PAGE BLANK (USPTO)

Réservé à
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 3 AVRIL 2003 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0304143 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE - 3 AVR. 2003 PAR L'INPI Vos références pour ce dossier (facultatif) B5884		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale N° ou demande de certificat d'utilité initiale N°		Date / / Date / /	
Transformation d'une demande de brevet européen Demande de brevet initiale N°		Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) TRANSISTOR MOS HAUTE DENSITÉ			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation N° Date Pays ou organisation N° Date / / Pays ou organisation N° Date / / <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120	MONTROUGE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à
L'INPI

REMISE DES PIÈCES

DATE

3 AVRIL 2003

LIEU

38 INPI GRENOBLE

N° D'ENREGISTREMENT

0304143

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :

(facultatif) B5884

6 MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

7 INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

**9 RÉDUCTION DU TAUX DES
REDEVANCES**

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez
le nombre de pages jointes

**10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE
(Nom et qualité du signataire)**

Michel de Beaumont
Mandataire n° 92-1016

VISA DE LA PREFECTURE
OU DE L'INPI

D.R.G.R.

TRANSISTOR MOS HAUTE DENSITÉ

La présente invention concerne les transistors MOS. Plus particulièrement la présente invention concerne les transistors à canaux minces tels que les transistors à grille entourante.

5 La figure 1 est un schéma connu d'un transistor à grille entourante. Le transistor est formé sur un substrat semi-conducteur 1. Une zone 2 du substrat 1 est entourée par un mur d'isolement 3 constitué d'une tranchée peu profonde remplie d'isolant (STI). Un pont de silicium monocristallin 4 passe par-
10 dessus la zone 2 et s'appuie sur le mur d'isolement 3 de chaque côté de la zone 2. Le pont 4 est plus étroit que la zone 2 de sorte qu'en vue de dessus on peut voir la zone 2 de part et d'autre du pont 4. L'espace entre le pont 4 et la zone 2 est occupé par une portion 5 de silicium polycristallin. Une bande
15 de silicium polycristallin 6 passe par-dessus le pont 4 et recouvre une partie de la zone 2 de chaque côté du pont 4. La portion 5 et la bande 6 sont en contact et constituent la grille du transistor. La grille du transistor est séparée du pont de silicium 4 et de la zone 2 par de l'oxyde de grille 7. Les
20 portions du pont 4 de silicium monocristallin non recouvertes par la bande 6 sont dopées d'un premier type de conductivité et constituent les zones de source et de drain du transistor, la

portion du pont recouverte est dopée d'un second type de conductivité et constitue le canal du transistor.

Un tel transistor à grille entourante permet de s'affranchir de certains problèmes intrinsèques aux transistors classiques de petites tailles, tels que l'effet de "canal court".

Néanmoins, pour une longueur de canal donnée, la réalisation d'un transistor à grille entourante de même largeur de canal qu'un transistor classique nécessite un accroissement de la surface totale du transistor ce qui va à l'encontre de l'évolution souhaitée.

Néanmoins, la réalisation d'un tel transistor à grille entourante nécessite un masque de fabrication supplémentaire par rapport à la réalisation d'un transistor classique, le masque supplémentaire servant entre autre à graver une couche de silicium pour former le pont 4. De plus, la réalisation d'un transistor à grille entourante de mêmes longueur et largeur qu'un transistor classique nécessite un accroissement de la surface totale du transistor ce qui va à l'encontre de l'évolution souhaitée.

Un objet de la présente invention est de prévoir un transistor MOS à grille entourante comprenant un ou plusieurs canaux minces.

Un autre objet de la présente invention est de prévoir un tel transistor occupant une surface identique à celle occupée par un transistor classique de mêmes longueur et largeur de canal.

Un autre objet de la présente invention est de prévoir un procédé de fabrication d'un tel transistor ne demandant pas de masques de fabrication supplémentaires par rapport à un procédé de fabrication d'un transistor MOS classique.

Pour atteindre ces objets, la présente invention prévoit un transistor MOS formé dans un substrat de silicium comprenant une zone active entourée d'un mur d'isolement ; une première bande conductrice recouvrant une bande centrale de la

zone active ; une ou plusieurs secondes bandes conductrices placées dans la zone active à l'aplomb de la première bande ; et des régions conductrices placées dans deux évidements du mur d'isolement et accolées aux extrémités des première et secondes bandes ; les surfaces de silicium en regard des bandes et régions conductrices étant recouvertes d'un isolant constituant un oxyde de grille.

Selon une variante de réalisation du transistor décrit ci-dessus, les première et secondes bandes conductrices sont en silicium polycristallin et le mur d'isolement est formé en oxyde de silicium.

Selon une variante de réalisation du transistor décrit ci-dessus, le transistor comprend deux bandes conductrices et les régions conductrices accolées aux première et seconde bandes sont disjointes.

La présente invention prévoit aussi un procédé de réalisation d'un transistor MOS comprenant les étapes suivantes : former à la périphérie d'une zone active d'un substrat de silicium un mur d'isolement en saillie par rapport à la surface du substrat ; former dans la zone active un empilement de paires de couches, chaque paire comprenant une couche d'un matériau gravable sélectivement par rapport au silicium et une couche de silicium monocristallin ; former une bande d'un matériau gravable sélectivement par rapport au silicium au-dessus de l'empilement et des murs d'isolement, la bande s'étendant sensiblement au-dessus d'une bande centrale de la zone active ; graver l'empilement de façon anisotrope de part et d'autre de la bande ; faire croître par épitaxie du silicium ; former une couche de protection d'un matériau différent de celui de la bande, des murs d'isolement et de l'empilement ; dégager et éliminer ladite bande ; graver les murs d'isolement non protégés par ladite couche de protection au moins jusqu'au niveau du fond de l'empilement ; éliminer les couches de l'empilement constituées d'un matériau gravable sélectivement par rapport au silicium ;

former une fine couche d'oxyde de silicium en surface des zones de silicium ; et remplir d'un matériau conducteur.

Selon une variante de mise en oeuvre du procédé susmentionné, le procédé comprend entre l'étape consistant à
5 faire croître par épitaxie du silicium et l'étape consistant à former une couche de protection, une étape consistant à doper le silicium de part et d'autre de la portion restante de l'empilement ;

Selon une variante de mise en oeuvre du procédé
10 susmentionné, le procédé comprend préalablement à l'étape consistant à faire croître par épitaxie du silicium une étape consistant à doper les extrémités des portions restantes des couches de silicium de l'empilement.

Selon une variante de mise en oeuvre du procédé
15 susmentionné, le procédé comprend préalablement à l'étape consistant à former une couche de protection une étape de formation de siliciure.

Selon une variante de mise en oeuvre du procédé susmentionné, le procédé comprend en outre les étapes sui-
20 vantes : graver ledit matériau conducteur jusqu'à découvrir une portion d'oxyde de silicium recouvrant la partie supérieure de la zone active ; éliminer ladite portion d'oxyde de silicium ; former une couche isolante au-dessus dudit matériau conducteur et de la partie supérieure de la zone active ; remplir d'un
25 second matériau conducteur.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes
30 parmi lesquelles :

la figure 1 est une vue en perspective, précédemment décrite, d'un transistor à grille entourante selon l'art antérieur ;

les figures 2 à 9 sont des vues en perspective et en
35 coupe des structures obtenues après différentes étapes du pro-

5 cédé de fabrication d'un transistor MOS selon la présente invention, les figures 4A, 5A, 6A, 7A, 8A et 9A étant des vues en coupe selon un premier axe et les figures 4B, 5B, 6B, 7B, 8B et 9B des vues en coupe selon un second axe orthogonal au premier ;

la figure 10 est une vue en perspective d'un transistor MOS selon la présente invention ;

10 les figures 11 à 13 sont des vues en perspective et en coupe de structures obtenues selon une variante du procédé de la présente invention, les figures 11A, 12A et 13A étant des vues en coupe selon le premier axe et les figures 11B, 12B et 13B des vues en coupe selon un second axe orthogonal au premier ; et

15 la figure 14 est une vue en coupe de la structure obtenue à une étape ultérieure de la variante de procédé susmentionnée.

Comme cela est courant dans la représentation des composants de circuits intégrés, les diverses figures ne sont pas à l'échelle.

20 La présente invention vise un transistor MOS comprenant un ou plusieurs canaux pouvant être commandés par une même grille ou éventuellement par deux grilles indépendantes. La présente invention prévoit un procédé de réalisation de tels transistors MOS.

25 Dans une première étape du procédé de la présente invention, illustrée en figure 2, on forme sur un substrat 20 un mur d'isolement 21 entourant une zone active sensiblement parallélépipédique. Le mur d'isolement 21 est de façon classique composé d'oxyde de silicium et le substrat 20 peut être une couche de silicium. On grave ensuite la zone active de façon à 30 obtenir une ouverture 22 dont le fond est situé entre les surfaces inférieure et supérieure du mur d'isolement 21.

35 De façon générale, on pourra utiliser n'importe quel procédé permettant de former autour d'une zone active d'un substrat un mur d'isolement qui soit en saillie par rapport à la surface du substrat.

A une étape suivante, illustrée en figure 3, on fait croître par épitaxie une première couche de silicium/germanium 30 dans l'ouverture 22. On fait croître ensuite par épitaxie une couche de silicium monocristallin 31 au-dessus de la couche de silicium/germanium 30. Dans l'exemple de la figure 3, on fait croître par épitaxie deux autres paires de couches, chaque paire de couches étant composée d'une couche de silicium/germanium, respectivement 32 et 34, et d'une couche de silicium, respectivement 33 et 35. Les trois paires de couches forment un empilement 36.

De façon générale, la première couche de chaque paire de l'empilement peut être constituée de tout matériau gravable sélectivement par rapport au silicium monocristallin. La formation de l'empilement peut être réalisée de diverses manières. La formation des couches de silicium peut par exemple comprendre un dépôt de silicium et une cristallisation à haute température.

Afin d'assurer une réalisation correcte de l'étape de gravure du silicium/germanium décrite ci-après, il est souhaitable que l'épaisseur de l'empilement 36 soit égale ou inférieure à la profondeur de l'ouverture 22. En effet, dans le cas où l'empilement 36 dépasse de l'ouverture 22, les bords des dernières couches de silicium/germanium sont recouverts par les couches de silicium supérieures ce qui entrave la gravure des couches de silicium/germanium effectuée dans une des dernières étapes du procédé. Par contre, l'épaisseur de l'empilement 36 peut très bien être plus petite que la profondeur de l'ouverture 22. Cependant, par souci de simplification des étapes suivantes du procédé, la profondeur de l'ouverture 22 sera prévue de sorte que la surface supérieure de l'empilement 36 soit au niveau de la surface supérieure du mur d'isolement 21.

A la fin du procédé de la présente invention, les portions restantes des couches de silicium monocristallin de l'empilement 36 constitueront des zones de canal. Le canal d'un transistor étant classiquement légèrement dopé, on réalisera un

dopage in-situ lors de la croissance épitaxiale des couches de silicium monocristallin 31, 33 et 35 de l'empilement 36.

A une étape suivante, illustrée en figures 4A et 4B, on forme une bande sacrificielle 40, par exemple en silicium polycristallin, au-dessus de l'empilement 36 précédemment formé et du mur d'isolement 21. La bande sacrificielle 40 est sensiblement parallèle à deux bords opposés de l'ouverture 22 et est placée entre ses deux bords. La bande 40 a une largeur inférieure à la distance entre les deux bords susmentionnés de sorte que l'empilement 36 est visible en vue de dessus de part et d'autre de la bande sacrificielle 40.

La figure 4A est une vue en coupe réalisée selon un axe perpendiculaire à la bande 40 coupant l'empilement 36 et la figure 4B est une vue en coupe réalisée selon l'axe de la bande 40 sensiblement au milieu de cette bande. Les figures 5A, 6A, 7A, 8A et 9A sont des vues en coupe selon le même axe que celui de la figure 4A et les figures 5B, 6B, 7B, 8B et 9B sont des vues en coupe selon le même axe que celui de la figure 4B.

A une étape suivante optionnelle du procédé de la présente invention, on forme des espaceurs 41 sur les flancs de la bande sacrificielle 40. Les espaceurs 41 sont par exemple composés de nitrure de silicium (Si_3N_4). Un mode de réalisation des espaceurs 41 consiste à effectuer un dépôt conforme de nitrure et à réaliser ensuite une gravure anisotrope de façon à conserver du nitrure sur les bords des éléments en relief.

A une étape suivante, illustrée en figures 5A et 5B, on réalise une gravure anisotrope de l'empilement 36 de part et d'autre de la bande 40 et des espaceurs 41. La gravure des couches 30 à 35 de l'empilement 36 peut être réalisée avec une ou plusieurs gravures. On obtient ainsi deux ouvertures 50 et 51 de part et d'autre de la portion restante de l'empilement 36.

A une étape suivante optionnelle, on réalise une implantation ionique pour doper les extrémités des canaux 52, 53 et 54 correspondant respectivement aux portions restantes des couches de silicium monocristallin 31, 33 et 35. Le dopage ainsi

réalisé est destiné à former des extensions fortement dopées des sources et drains d'un type différent de celui utilisé pour doper des canaux 52, 53 et 54.

5 A une étape suivante, illustrée en figures 6A et 6B, on fait croître par épitaxie des zones de silicium monocristallin dans les ouvertures 50 et 51 à partir du substrat 20 et des flancs des couches de l'empilement 36. L'épitaxie est poursuivie jusqu'à remplir totalement les ouvertures 50 et 51 jusqu'au niveau de la surface supérieure du canal 54.

10 A une étape suivante, on réalise un dopage des zones de silicium monocristallin 60 et 61 situées d'un côté et de l'autre de l'empilement 36 afin de former des zones de source et de drain. Le type de dopage utilisé pour les source et drain est identique à celui utilisé pour doper les extrémités des canaux
15 52, 53 et 54.

 A une étape suivante optionnelle, on peut former une couche de siliciure sur les zones de silicium monocristallin 60 et 61. Cette couche de siliciure permet d'améliorer la conductivité des zones 60 et 61 de drain et de source. De plus, elle
20 facilite la réalisation de contacts permettant de relier les zones de source et de drain au réseau d'interconnexions du circuit intégré.

 A une étape suivante, illustrée en figures 7A et 7B, on recouvre la structure précédemment obtenue d'une couche de protection 70. Puis par gravure, par polissage mécano-chimique
25 ou par tout autre procédé, on réduit l'épaisseur de la couche de protection 70 jusqu'à découvrir la bande sacrificielle 40. La couche de protection 70 peut être de n'importe quel matériau différent du matériau utilisé pour former la bande sacrificielle
30 40. De plus, la couche de protection 70 doit pouvoir résister aux gravures du mur d'isolement et des couches de silicium/germanium réalisées lors des étapes suivantes du procédé. La couche de protection 70 est par exemple une couche de nitrure de silicium.

 A une étape suivante, illustrée en figures 8A et 8B,
35 on élimine la bande sacrificielle 40 par exemple par gravure.

On grave ensuite le mur d'isolement 21 à l'aplomb des zones du mur non recouvertes par la couche de protection 70 de façon sélective par rapport au silicium de l'empilement de façon à former deux évidements 80 et 81 ouverts sur les extrémités de l'empilement 36.

On élimine ensuite, par gravure, les portions restantes des couches de silicium-germanium 30, 32 et 34. A l'issue de cette élimination du silicium-germanium, les canaux 52, 53 et 54 de silicium monocristallin constituent trois ponts superposés en continuité d'un côté et de l'autre avec les zones 60 et 61 de source et drain, comme cela est visible en figure 8A.

A une étape suivante, illustrée en figures 9A et 9B, on réalise une oxydation thermique pour oxyder l'ensemble des surfaces de silicium découvertes afin de former une fine couche d'oxyde de silicium. Il se forme ainsi de l'oxyde de silicium de chaque côté des canaux 52, 53 et 54, sur la surface du substrat 20 situé à l'aplomb des canaux 52 et 54 et sur les régions découvertes des zones 60 et 61 de source et drain entre le substrat et chacun des canaux 52 à 54.

On réalise ensuite un dépôt conforme d'un matériau conducteur pour remplir les "tunnels" situés entre le substrat et les canaux 52, 53 et 54, ainsi que les évidements 80 et 81 et l'ouverture délimitée par la couche de protection 70 correspondant à l'espace occupé précédemment par la bande sacrificielle 40. Le matériau conducteur est par exemple du silicium polycristallin ou un métal tel que de l'aluminium. On a ainsi formé la grille du transistor qui entoure les trois canaux 52, 53 et 54.

Comme le procédé de fabrication d'un transistor MOS classique, le procédé de la présente invention nécessite deux masques : un masque de définition de la zone active et un masque de définition de "grille" utilisé pour former la bande sacrificielle 40.

Un avantage du procédé de la présente invention est qu'il ne nécessite pas de masque supplémentaire par rapport à un procédé classique.

De plus, les deux masques nécessaires pour un procédé "classique" et pour le procédé de la présente invention sont identiques.

Un autre avantage du procédé de la présente invention est donc que l'on peut à partir d'un même jeu de masques réaliser des transistors classiques ou des transistors selon la présente invention.

La figure 10 est une vue en perspective d'un transistor MOS selon la présente invention pouvant être obtenu pour le procédé précédemment décrit. Le transistor est formé dans une zone active 100 d'un substrat semiconducteur 101 typiquement en silicium. La zone active 100 est dans cet exemple sensiblement parallélépipédique et est entourée d'un mur d'isolement 102 par exemple composé d'oxyde de silicium (HDP). Une bande conductrice 103 est placée au-dessus de la zone active 100. La bande est sensiblement parallèle à deux bords opposés de la zone active 100 et a une largeur inférieure à la distance entre les deux bords de sorte que la zone active 100 est visible en vue de dessus de part et d'autre de la bande 103. Des espaceurs 104, par exemple en nitrure, sont placés contre les flancs de la bande 103. Trois bandes conductrices 105, 106 et 107 sont placées dans la zone active 100 à l'aplomb de la bande conductrice 103. Les bandes 103, 105, 106 et 107 sont séparées les unes des autres par des bandes de silicium monocristallin 110, 111 et 112. Les bandes de silicium 110 à 112 constituent trois canaux du transistor entre des zones 120 et 121 de source et de drain constituées par les deux portions de la zone active 100 situées de part et d'autre de l'ensemble des bandes 103, 105 à 107, 110 à 112. Les zones 120 et 121 de source et de drain sont d'un type de dopage opposé à celui des bandes 110, 111 et 112 de canaux. Deux régions conductrices 108 et 109 sont accolées contre les extrémités des bandes conductrices 103, 105, 106 et 107 et des bandes de silicium 110, 111, et 112. Les régions conductrices 108 et 109 sont placées dans deux évidements du mur d'isolement 102 formés dans le prolongement des bandes 103, 105

à 107, 110 à 112. La bande conductrice 103, les deux régions conductrices 108 et 109 et les bandes conductrices 105, 106 et 107 constituent la grille du transistor MOS qui est par exemple formée en silicium polycristallin. L'ensemble des zones de
5 silicium de la zone active en regard avec la grille est recouvert d'une fine couche d'oxyde de silicium (130) constituant l'oxyde de grille. Ainsi, les bandes conductrices 103, 105, 106 et 107 sont isolées des bandes de silicium 110, 111 et 112 par une fine couche d'oxyde de silicium. De même, les deux
10 régions conductrices 108 et 109 sont isolées du substrat et des bandes de silicium 110 à 112 par de l'oxyde de silicium. Les bandes conductrices 105, 106 et 107 sont isolées des zones 120 et 121 de source et de drain et 121 et du substrat 101 par de l'oxyde de silicium.

15 Le transistor MOS décrit ci-dessus comprend trois canaux. De façon générale, un transistor selon la présente invention peut comprendre un ou plusieurs canaux séparés les uns des autres par une bande conductrice.

20 Par rapport à un transistor classique de même longueur et de même largeur de canal, un transistor selon la présente invention présente en mode de conduction un courant (I_{on}) plus important du fait de la présence de plusieurs canaux en "parallèle".

25 De plus, la structure du transistor de la présente invention est telle qu'il est possible d'avoir des canaux minces ce qui permet de s'affranchir de nombreux problèmes liés aux transistors de petites dimensions.

30 A titre d'exemple non-limitatif, les dimensions des différents éléments du transistor MOS de la présente invention sont les suivantes :

- épaisseur des canaux (bandes 110, 111 112) : 5 à 20 nm,
- épaisseur des bandes conductrices de grille (bandes 105, 106 et 107) : 20 à 80 nm,

- épaisseur de la fine couche d'oxyde de silicium : 1 à 2 nm,

- longueur du transistor (égale à la largeur des bandes conductrices 105, 106 et 107) : 25 à 50 nm.

5 Les figures 11 à 14 sont des vues en coupe des structures obtenues après des étapes d'une variante du procédé de la présente invention permettant de réaliser un transistor dont la grille entourante est réalisée en deux portions indépendantes. Dans l'exemple des figures 11 à 14, on réalise un
10 transistor à deux grilles placées au-dessous et au-dessus d'une unique zone de canal. La réalisation d'un tel transistor consiste à effectuer au préalable l'ensemble des étapes du procédé de la présente invention décrit précédemment en relation avec les
15 figures 2 à 9 en formant une unique paire de couches de silicium-germanium/silicium à l'étape décrite en relation à la figure 3.

Les figures 11A, 12A, 13A sont des vues en coupe selon le même axe que celui de la figure 4A et les figures 11B, 12B et 13B sont des vues en coupe selon le même axe que celui de la
20 figure 4B.

Les figures 11A et 11B représentent un transistor à grille entourante tel que celui des figures 9A et 9B, mais comprenant un seul canal. Le transistor est formé en surface d'un substrat dans une zone active 200 entourée par un mur d'isolement 201. Une première bande conductrice 204 s'étend
25 sensiblement au-dessus d'une bande centrale de la zone active 200. Une seconde bande conductrice 205 est placée dans la zone active 200 à l'aplomb de la première bande 204. Les deux bandes sont séparées par une zone de canal 206 en silicium monocristallin. Deux régions conductrices 207 et 208 sont accolées
30 contre les extrémités des première et seconde bandes 204 et 205. Les deux régions conductrices 207 et 208 sont placées dans deux évidements formés dans le mur d'isolement 201. De l'oxyde de silicium 209 recouvre les surfaces de silicium en regard avec
35 les bandes conductrices 204 et 205 et les régions conductrices

207 et 208. Comme dans la structure illustrée en figures 9A et 9B, les deux bandes conductrices 204 et 205, et les régions conductrices 207 et 208 sont par exemple en silicium polycristallin. Des espaceurs 210 sont placés sur les flancs de la bande 204 et des régions conductrices 206 et 207 au-dessus du mur d'isolement. Une couche de protection 211 recouvre l'ensemble de la structure excepté la bande conductrice 204. La zone de canal 206 est reliée à des zones de source et de drain 212 et 213. La zone de canal 206 et les zones de source et de drain 212 et 213 ont des types de dopage différents.

Dans une première étape de la variante du procédé de la présente invention, illustrée en figures 12A et 12B, on grave la bande conductrice 204 intégralement jusqu'à découvrir l'oxyde de silicium 209 recouvrant la zone de canal 206, de façon à laisser en place les parties inférieures des régions conductrices 207 et 208 en contact avec les extrémités opposées de la bande conductrice 205.

Dans une étape suivante, illustrée en figures 13A et 13B, on élimine la portion de l'oxyde de silicium 209 située au-dessus de la zone de canal 206 jusqu'à découvrir le canal. Puis on réalise une oxydation de la zone de canal 206 et du silicium polycristallin des régions conductrices 207 et 208 pour former une couche d'oxyde de silicium 220. De préférence, le procédé d'oxydation est tel que le silicium polycristallin s'oxyde plus rapidement que le silicium monocristallin de sorte qu'il se forme une fine couche d'oxyde de grille sur la zone de canal 206 et une couche d'oxyde de silicium plus épaisse sur les régions conductrices 207 et 208. On remplit ensuite d'un matériau conducteur tel que du silicium polycristallin ou de l'aluminium de façon à former une bande conductrice 221 au-dessus de la couche d'oxyde de silicium 220.

La bande conductrice 205 et les portions restantes des régions conductrices 207 et 208 constituent une grille "inférieure". La bande conductrice 221 constitue une grille "supérieure". La grille supérieure est facilement accessible par un

contact formé au-dessus de la grille. Pour certaines applications, telles que la réalisation d'un point mémoire, la grille inférieure pourra être laissée flottante. Dans le cas inverse où l'on souhaite commander la grille inférieure, on forme une connexion entre la grille inférieure et une zone conductrice
5 fiable au réseau d'interconnexions du circuit intégré.

La réalisation d'une telle connexion permettant d'accéder à la grille inférieure peut par exemple être réalisée selon le procédé suivant. Comme cela apparaît sur la figure 14
10 qui est un agrandissement de la partie gauche de la vue en coupe de la figure 13B, on recouvre la structure d'une couche isolante 230, par exemple en TEOS. On grave ensuite successivement la couche isolante 230, la grille supérieure 221 et la couche d'oxyde de silicium 220 de façon à former une ouverture 231 au-
15 dessus de la portion restante de la région conductrice 208 faisant partie de la grille inférieure. On forme ensuite des espaceurs 232, par exemple en nitrure, sur les parois de l'ouverture 231. Les espaceurs 232 peuvent être réalisés selon un procédé consistant à faire un dépôt conforme de nitrure et à
20 réaliser une gravure anisotrope du nitrure jusqu'à découvrir la grille inférieure. On remplit ensuite l'ouverture 231 d'un matériau conducteur 233 tel que de l'aluminium. La connexion ainsi formée pourra être reliée au réseau d'interconnexion du circuit intégré par l'intermédiaire d'un contact formé au-dessus de la
25 connexion.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les matériaux conducteurs utilisés pour former les grilles d'un transistor à deux grilles peuvent
30 être différents. De plus, l'épaisseur et la nature de la couche isolante séparant le canal et la grille inférieure peuvent être différentes de celles de la couche isolante séparant le canal et la grille "supérieure".

En outre, l'homme de l'art pourra prévoir d'autres
35 formes de connexions entre la grille inférieure d'un transistor

à deux grilles et le réseau d'interconnexion du circuit intégré classiquement réalisé au-dessus du transistor.

De plus, l'homme de l'art pourra prévoir d'éliminer la couche de protection à la fin du procédé de la présente invention ou de la variante du procédé de la présente invention
5 décrite ci-dessus. Dans le cas où la couche de protection est éliminée, on pourra prévoir de réaliser l'implantation des zones de source et de drain à la toute fin du procédé et non après la croissance épitaxiale des zones de source et de drain.

REVENDICATIONS

1. Transistor MOS formé dans un substrat de silicium (101) comprenant :

- une zone active (100) entourée d'un mur d'isolement (102) ;
- 5 - une première bande conductrice (103) recouvrant une bande centrale de la zone active ;
- une ou plusieurs secondes bandes conductrices (105, 106, 107) placées dans la zone active à l'aplomb de la première bande ; et
- 10 - des régions conductrices (108, 109) placées dans deux évidements du mur d'isolement et accolées aux extrémités des première et secondes bandes ;
- les surfaces de silicium en regard des bandes et régions conductrices étant recouvertes d'un isolant (130)
- 15 constituant un oxyde de grille.

2. Transistor selon la revendication 1, dans lequel les première et secondes bandes conductrices sont en silicium polycristallin et le mur d'isolement est formé en oxyde de silicium.

20 3. Transistor selon la revendication 1 à deux bandes conductrices dans lequel les régions conductrices accolées aux première et seconde bandes sont disjointes.

4. Procédé de réalisation d'un transistor MOS comprenant les étapes suivantes :

- 25 - former à la périphérie d'une zone active d'un substrat (20) de silicium un mur d'isolement (21) en saillie par rapport à la surface du substrat ;
- former dans la zone active un empilement (36) de paires de couches, chaque paire comprenant une couche d'un matériau gravable sélectivement par rapport au silicium et une
- 30 couche de silicium monocristallin ;
- former une bande (40) d'un matériau gravable sélectivement par rapport au silicium au-dessus de l'empilement et

des murs d'isolement, la bande s'étendant sensiblement au-dessus d'une bande centrale de la zone active ;

- graver l'empilement de façon anisotrope de part et d'autre de la bande ;

5 - faire croître par épitaxie du silicium ;

- former une couche de protection (70) d'un matériau différent de celui de la bande, des murs d'isolement et de l'empilement ;

- dégager et éliminer ladite bande ;

10 - graver les murs d'isolement non protégés par ladite couche de protection au moins jusqu'au niveau du fond de l'empilement ;

- éliminer les couches de l'empilement constituées d'un matériau gravable sélectivement par rapport au silicium ;

15 - former une fine couche d'oxyde de silicium (90) en surface des zones de silicium ; et

- remplir d'un matériau conducteur.

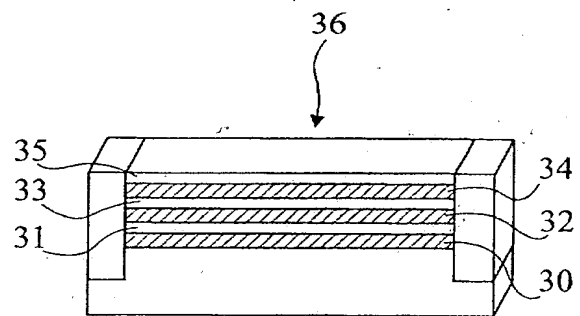
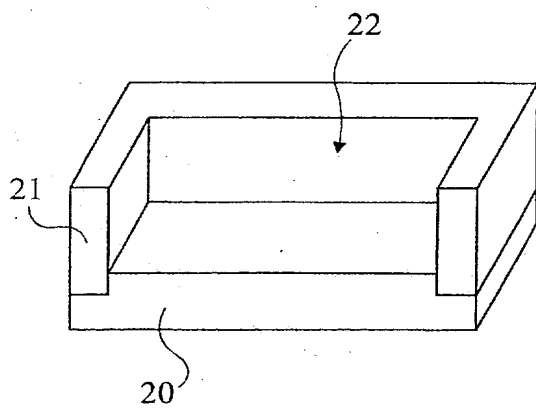
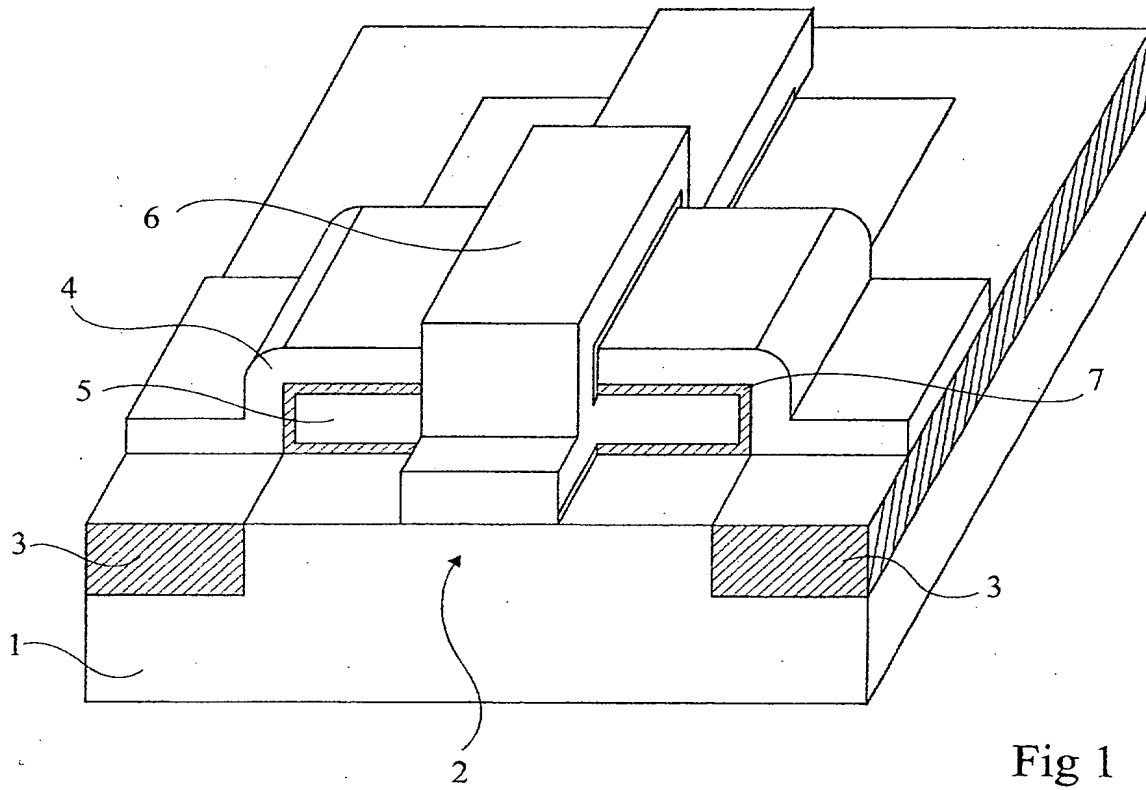
20 5. Procédé selon la revendication 4, comprenant entre l'étape consistant à faire croître par épitaxie du silicium et l'étape consistant à former une couche de protection (70) une étape consistant à doper le silicium de part et d'autre de la portion restante de l'empilement (36) ;

25 6. Procédé selon la revendication 4, comprenant préalablement à l'étape consistant à faire croître par épitaxie du silicium une étape consistant à doper les extrémités des portions restantes des couches de silicium de l'empilement (36).

30 7. Procédé selon la revendication 4, comprenant préalablement à l'étape consistant à former une couche de protection (70) une étape de formation de siliciure.

8. Procédé selon la revendication 4, comprenant en outre les étapes suivantes :

- graver ledit matériau conducteur jusqu'à découvrir une portion d'oxyde de silicium (209) recouvrant la partie supérieure de la zone active (200) ;
- éliminer ladite portion d'oxyde de silicium ;
- 5 - former une couche isolante (220) au-dessus dudit matériau conducteur et de la partie supérieure de la zone active ;
- remplir d'un second matériau conducteur.



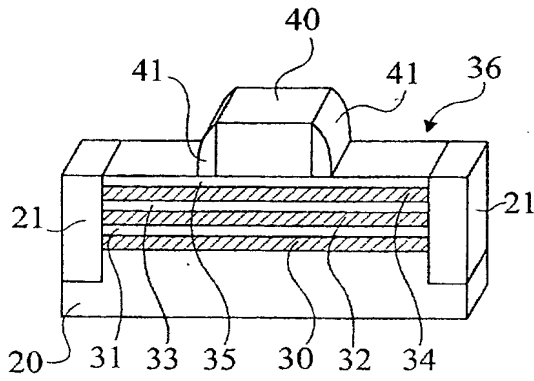


Fig 4A

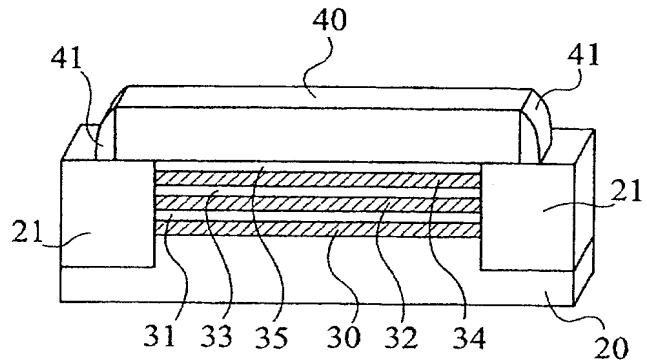


Fig 4B

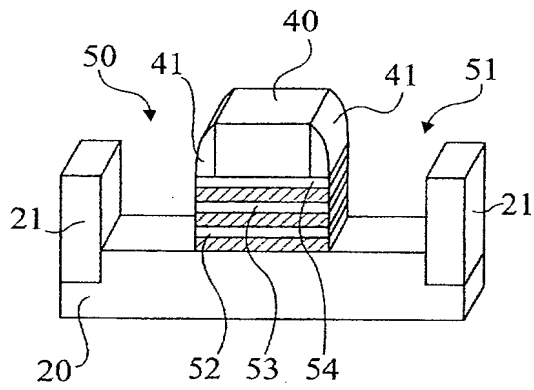


Fig 5A

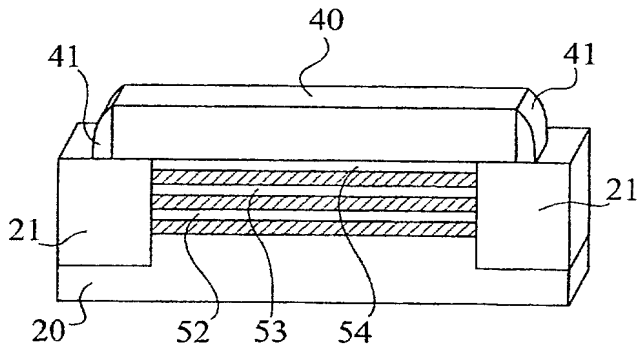


Fig 5B

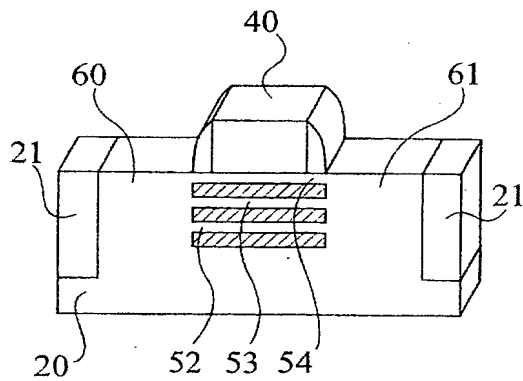


Fig 6A

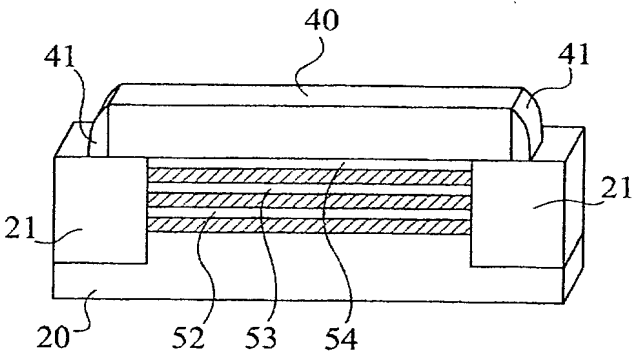


Fig 6B

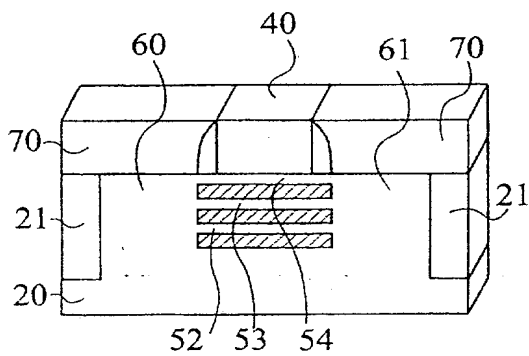


Fig 7A

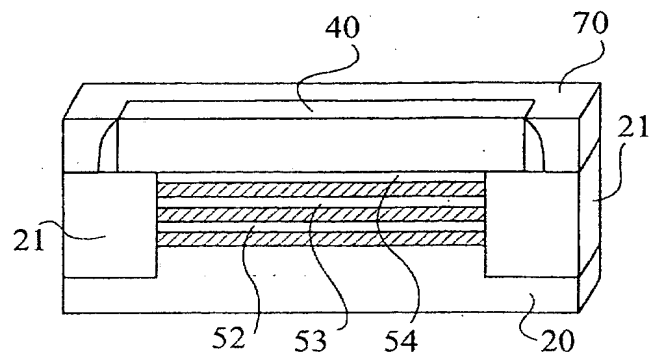


Fig 7B

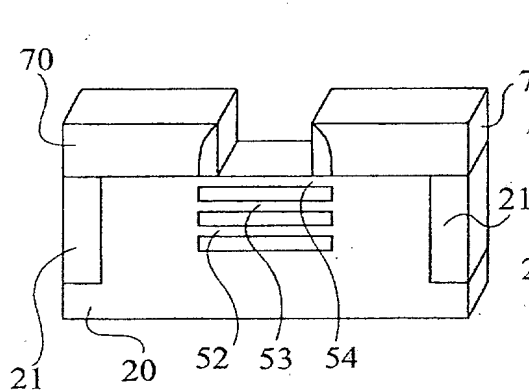


Fig 8A

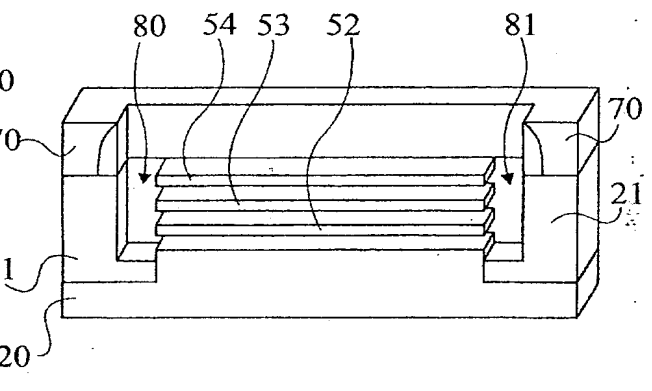


Fig 8B

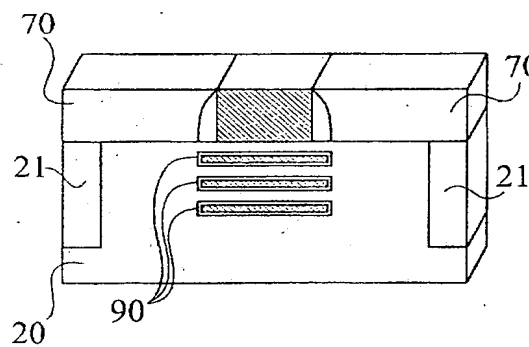


Fig 9A

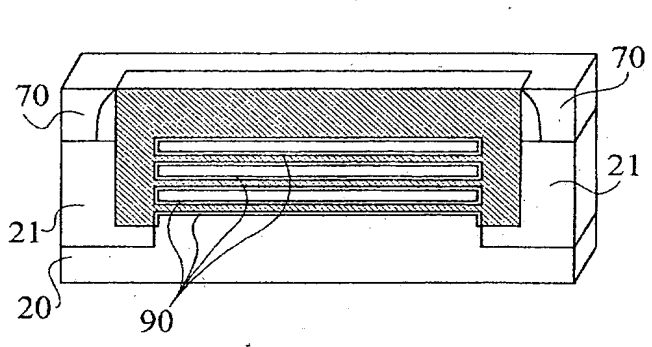


Fig 9B

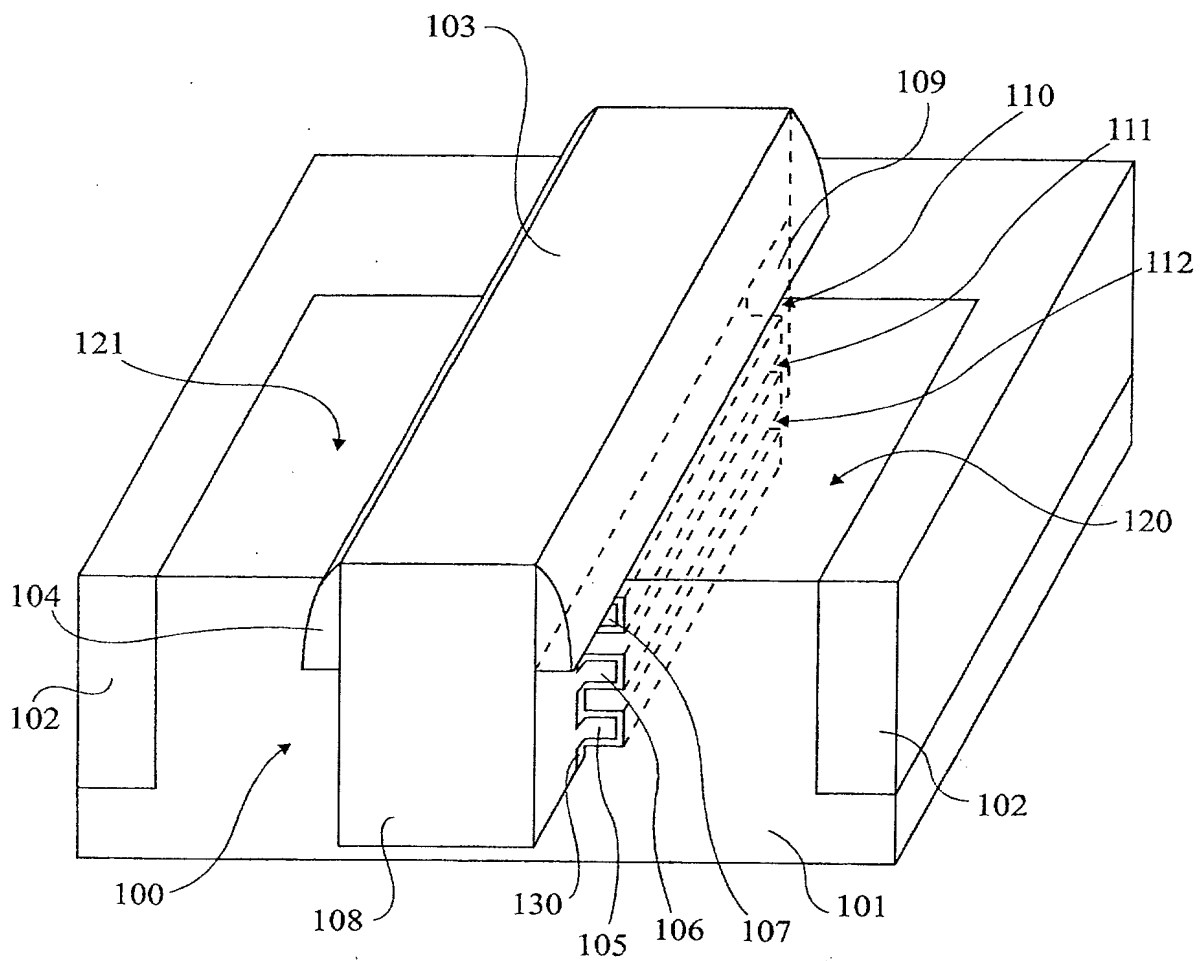


Fig 10

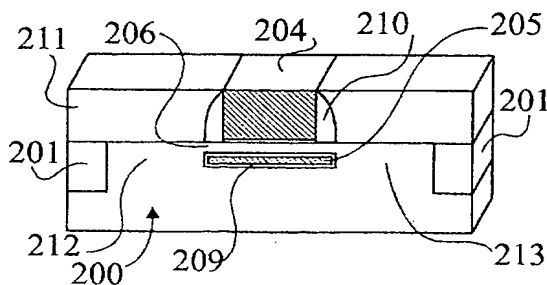


Fig 11A

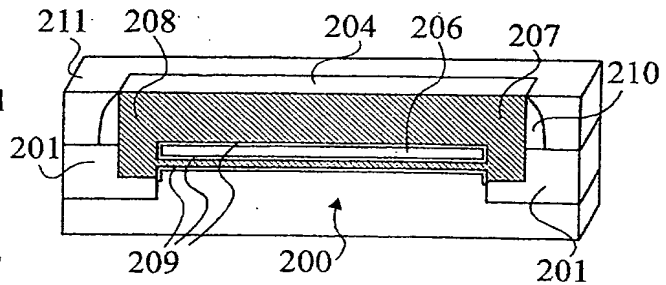


Fig 11B

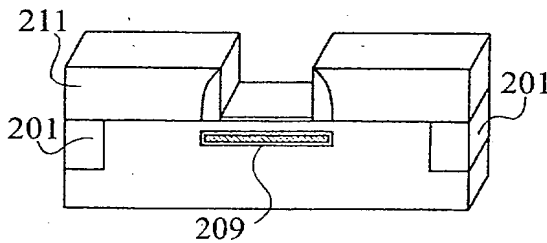


Fig 12A

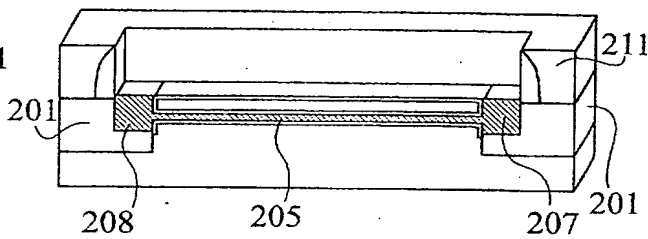


Fig 12B

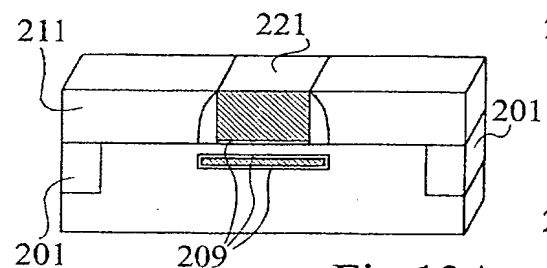


Fig 13A

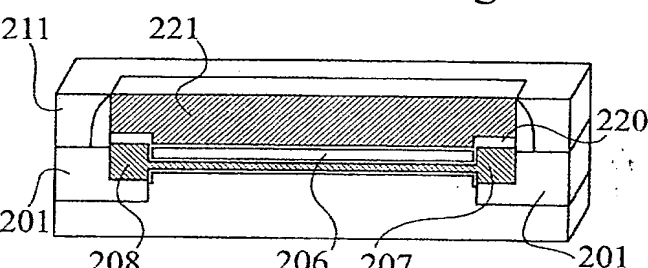


Fig 13B

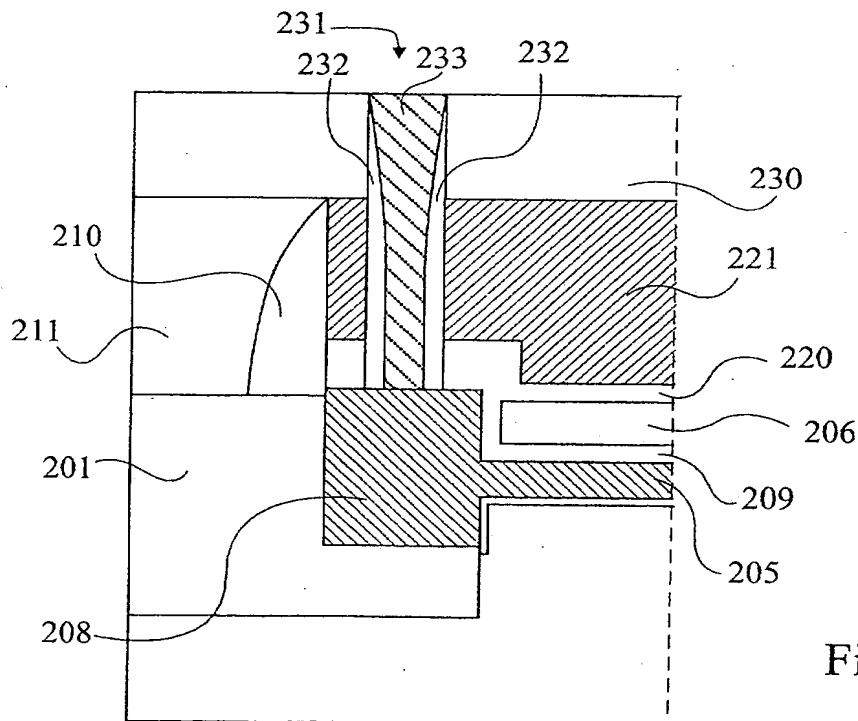


Fig 14

reçue le 09/05/03



DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**
Code de la propriété intellectuelle-Livre VI



DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 2
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5884	
N° D'ENREGISTREMENT NATIONAL		0304143	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
TRANSISTOR MOS HAUTE DENSITÉ			
LE(S) DEMANDEUR(S) : STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Philippe <u>Coronel</u>	
ADRESSE	Rue	La Cuiller	
	Code postal et ville	38530	BARRAUX, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Yves <u>Morand</u>	
ADRESSE	Rue	16 Rue Amédée Morel	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Thomas <u>Skotnicki</u>	
ADRESSE	Rue	105, Rue de la Ferme, Cidex 219	
	Code postal et ville	38920	CROLLES-MONTFORT, FRANCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016 Le 2 avril 2003			

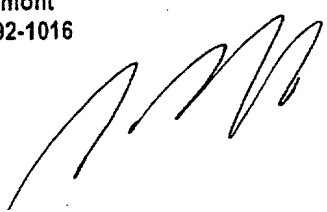
La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**
Code de la propriété intellectuelle-Livre VI

DÉSIGNATION D'INVENTEUR(S) PAGE N°2/ 2
(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5884	
N° D'ENREGISTREMENT NATIONAL		03 04143	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
TRANSISTOR MOS HAUTE DENSITÉ			
LE(S) DEMANDEUR(S) : STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Robin Cerutti	
ADRESSE	Rue	13, Rue Jules Ferry	
	Code postal et ville	38100.	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 2 avril 2003 			

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)